

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC835 U.S. PTO  
10/026560  
12/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて<sup>#2</sup>  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日

Date of Application:

2001年 6月 8日

出 願 番 号

Application Number:

特願2001-174101

出 願 人

Applicant(s):

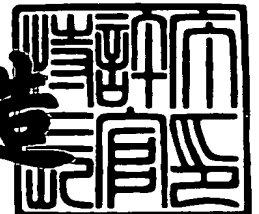
富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年 8月17日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3073344

【書類名】 特許願

【整理番号】 0140374

【提出日】 平成13年 6月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/27

【発明の名称】 半導体装置、半導体装置の試験方法、及び半導体装置試験システム

【請求項の数】 9

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

    【氏名】 竹重 昌之

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

    【氏名】 日比野 純孝

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

    【氏名】 山田 賢次

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【特許出願人】

    【識別番号】 000237617

    【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

    【識別番号】 100068755

    【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置の試験方法、及び半導体装置試験システム

【特許請求の範囲】

【請求項 1】 半導体装置に備えられた複数のメモリ回路に対して実施する半導体装置の試験方法において、

前記複数のメモリ回路を同時に選択してリード／ライト動作させ、リード動作により前記複数のメモリ回路から読み出された複数のリードデータを互いに比較し、前記複数のリードデータのうちの 1 つをライトデータと CPU にて一致判定するようにしたことを特徴とする半導体装置の試験方法。

【請求項 2】 複数のメモリ回路と、

テストモード時に前記複数のメモリ回路に対してメモリ試験を実施する CPU と、

テストモード時に前記 CPU がメモリ回路をアクセスするためのアドレス信号に基づいて前記複数のメモリ回路を同時に選択するように複数の選択信号を生成するアドレスデコーダと、

前記 CPU がアクセスする 1 つのメモリ回路からのリードデータを該 CPU に出力するマルチプレクサと、

前記複数のメモリ回路からそれぞれ読み出された複数のリードデータを比較するコンパレータとを備え、

前記 CPU は、前記メモリ回路へのライトデータと前記マルチプレクサからのリードデータとが一致するか否かを判断すること、を特徴とする半導体装置。

【請求項 3】 前記アドレスデコーダは、前記 CPU が予め設定されたメモリ回路に対してアクセスするアドレス信号に基づいて前記複数のメモリ回路を同時に選択するように前記複数の選択信号を生成し、

前記マルチプレクサは前記複数の選択信号に基づいて前記予め設定されたメモリ回路からのリードデータを前記 CPU に出力すること、を特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記アドレスデコーダは、前記アドレス信号をデコードした

デコード信号を出力し、

前記マルチプレクサは、前記デコード信号に基づいて前記複数のメモリ回路のうちの1つからのリードデータを前記CPUに出力すること、を特徴とする請求項2記載の半導体装置。

【請求項5】 前記コンパレータは、前記比較結果を保持し前記CPUからアクセス可能なレジスタを持つこと、を特徴とする請求項2～4のうちの何れか一項記載の半導体装置。

【請求項6】 前記コンパレータは、前記比較結果に基づいて前記複数のリードデータが一致しない場合に前記CPUに対して割り込み信号を出力すること、を特徴とする請求項2～4のうちの何れか一項記載の半導体装置。

【請求項7】 前記コンパレータは、前記比較結果をラッチするラッチ回路を備えること、を特徴とする請求項2～4のうちの何れか一項記載の半導体装置。

【請求項8】 前記コンパレータは、前記複数のメモリ回路のリードタイミングにて前記複数のリードデータをラッチするフリップフロップを備えること、を特徴とする請求項2～4，7のうちの何れか一項記載の半導体装置。

【請求項9】 半導体装置に備えられた複数のメモリ回路に対して実施する半導体装置試験システムにおいて、

前記複数のメモリ回路を同時に選択してリード／ライト動作させ、リード動作により前記複数のメモリ回路から読み出された複数のリードデータを互いに比較し、前記複数のリードデータのうちの1つをライトデータとCPUにて一致判定するようにしたことを特徴とする半導体装置試験システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に備えられた複数のメモリ回路に対して行うメモリ試験方法に関するものである。

【0002】

近年、半導体装置（LSI）は、その製造技術の進展により高集積化され、1

つのチップ上に処理回路（CPU）と複数のメモリ回路が混載されている。そして、LSIの複雑化、高集積化に伴い、その動作試験は長時間化している。試験時間の長時間化は、検査コストのアップにつながることから、試験時間の短縮が要求されている。

【0003】

【従来の技術】

従来、複数のメモリ回路を内蔵した半導体装置に対して、各メモリに対する動作試験には、以下の方法がある。

【0004】

（第一従来例）外部の試験装置により各メモリ回路を一つずつ順次選択して試験を実施する。

（第二従来例）各メモリ回路をアクセスするための信号の全てを外部端子に出力し、外部の試験装置は外部端子を介して複数のメモリ回路を直接アクセスし全てに対して同時にライト・リードを行い検証する。

【0005】

（第三従来例）全ての内蔵メモリのリードデータをLSI内部でコンペアし、全てのメモリからのリードデータが一致したかどうかの端子を用意し、その信号を比較して検証する。

【0006】

【発明が解決しようとする課題】

しかしながら、第一従来例では、試験を順番に実施するため、1つのLSIに内蔵されるメモリの数、容量が多くなると試験時間が長くなり、検査コストが上昇する。

【0007】

第二従来例では、複数のメモリ回路に対する動作試験を同時に実施するため試験時間が短縮される。しかし、LSIに備えられ信号を出力する端子が多くなり、少ない端子のLSIで同時に試験を実施するメモリ回路の数が制限される。端子数の増加を防ぐために端子を試験動作時と通常動作時とで出力する信号を切り替える方法があるが、試験動作時の出力信号が多くなり端子機能の切り替えが複

雑になるという問題がある。

【0008】

第三従来例では、第二従来例に比べ出力端子数が少ない。しかし、この従来例では、複数のメモリ回路の出力信号が全て同じ値に間違っていた場合にこれを検出することができないという問題がある。この問題は、同時にリードするメモリ回路の数が少なければ少ないほど（例えば、2つのメモリ回路を同時にリードした場合）にその誤り率が高い。

【0009】

また、第一及び第二従来例では、外部端子からLSIに内蔵した各メモリ回路をアクセスするため、速度の遅い試験装置では試験時間をそれほど短縮することができない場合がある。また、第三従来例では、複数のメモリ回路を備えたLSIから動作速度に応じて試験結果が出力されるため、動作速度の遅い試験装置では全ての試験結果を受け取ることができず、結果としてLSIの動作速度で試験を実施することができないという問題がある。

【0010】

本発明は上記問題点を解決するためになされたものであって、その目的は判定誤りが少なく、複数のメモリ回路に対する試験時間を短縮することのできる半導体装置及び内蔵メモリの試験方法を提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明は、複数のメモリ回路を同時に選択してリード／ライト動作させ、リード動作により複数のメモリ回路から読み出されたリードデータを互いに比較し、複数のリードデータのうちの1つをメモリ回路に書き込んだライトデータとCPUにて一致判定するようにした。従って、ライトデータとリードデータとの比較結果と、複数のリードデータの互いの比較結果により、判定誤りがすくなくなる。そして、複数のメモリ回路を同時に選択してアクセスすることでそれに要する時間が少なくなり、試験時間が短くなる。

【0012】

請求項 2 に記載の発明は、テストモード時に CPU がメモリ回路をアクセスするためのアドレス信号に基づいて複数のメモリ回路を同時に選択するように複数の選択信号を生成するアドレスデコーダと、CPU がアクセスする 1 つのメモリ回路からのリードデータを該 CPU に出力するマルチプレクサと、複数のメモリ回路からそれぞれ読み出された複数のリードデータを比較するコンパレータとを備え、CPU はメモリ回路へのライトデータとマルチプレクサからのリードデータとが一致するか否かを判断する。従って、ライトデータとリードデータとの比較結果と、複数のリードデータの互いの比較結果により、判定誤りがすくなくなる。そして、複数のメモリ回路を同時に選択してアクセスすることでそれに要する時間が少なくなり、試験時間が短くなる。

## 【 0 0 1 3 】

請求項 3 に記載の発明のように、アドレスデコーダは、CPU が予め設定されたメモリ回路に対してアクセスするアドレス信号に基づいて複数のメモリ回路を同時に選択するように複数の選択信号を生成し、マルチプレクサは複数の選択信号に基づいて予め設定されたメモリ回路からのリードデータを CPU に出力することで、複数のメモリ回路が同時に選択される。

## 【 0 0 1 4 】

請求項 4 に記載の発明のように、アドレスデコーダは、アドレス信号をデコードしたデコード信号を出力し、マルチプレクサは、デコード信号に基づいて複数のメモリ回路のうちの 1 つからのリードデータを CPU に出力することで、任意のメモリ回路に対するアクセスにより複数のメモリ回路が同時に選択され、任意のメモリ回路に対するライトデータとリードデータとが比較される。

## 【 0 0 1 5 】

請求項 5 に記載の発明のように、コンパレータは、比較結果を保持し CPU からアクセス可能なレジスタを持つことで、CPU から半導体装置の良否結果を出力することができる。

## 【 0 0 1 6 】

請求項 6 に記載の発明のように、コンパレータは、比較結果に基づいて複数のリードデータが一致しない場合に CPU に対して割り込み信号を出力する。従っ



て、CPUは、割り込みによってメモリ試験を中断することで、不良品に対する試験時間が短くなる。

【0017】

請求項7に記載の発明のように、コンパレータは、比較結果をラッチするラッチ回路を備えることで、半導体装置の動作速度によらずテスト装置にて試験結果を確実に受け取ることができる。

【0018】

請求項8に記載の発明のように、コンパレータは、複数のメモリ回路のリードタイミングにて複数のリードデータをラッチするフリップフロップを備えることで、メモリ回路のリード毎にリードデータをラッチし、比較のための時間が確保される。

【0019】

請求項9に記載の発明は、半導体装置に備えられた複数のメモリ回路に対して実施する半導体装置試験システムにおいて、前記複数のメモリ回路を同時に選択してリード／ライト動作させ、リード動作により前記複数のメモリ回路から読み出された複数のリードデータを互いに比較し、前記複数のリードデータのうちの1つをライトデータとCPUにて一致判定するようにした。従って、ライトデータとリードデータとの比較結果と、複数のリードデータの互いの比較結果により、判定誤りがすくなくなる。そして、少なくとも2つのメモリ回路を同時に選択してアクセスすることで複数のメモリ回路に対するアクセス時間が少なくなり、試験時間が短くなる。

【0020】

【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図1～図5に従って説明する。

図1は、本実施の形態の半導体装置の概略ブロック回路図であり、メモリ試験に関わる部分のブロック回路を示す。

【0021】

半導体装置10は、複数（図1において4個）のメモリ回路RAM0～RAM3、CPU11、アドレスデコーダ12、マルチプレクサ13、コンパレータ1

4、入出力回路15を含む。

【0022】

CPU11は、アドレスバス16とライトデータバス及びコントロールバス17を介して各メモリ回路RAM0～RAM3とそれぞれ接続されている。尚、アドレスバス16とライトデータバス及びコントロールバス17は、複数の信号線からなる。

【0023】

そのアドレスバス16にはアドレスデコーダ12が接続されている。アドレスデコーダ12にはCPU11が出力するアドレス信号ADDが入力される。また、アドレスデコーダ12にはテストモード信号TESTが入力される。

【0024】

アドレスデコーダ12は、テストモード信号TESTに基づいてその時々モードが通常モードかテストモードかを判断する。そして、アドレスデコーダ12は、アドレス信号ADDをデコードし、判断したモードに応じて第1～第4メモリ回路RAM0～RAM3を選択するための第1～第4選択信号SEL0～SEL3を生成する。

【0025】

通常モードにおいて、アドレスデコーダ12は、CPU11がアクセスする第1～第4メモリ回路RAM0～RAM3うちの1つを選択するための選択信号SEL0～SEL3をそのCPU11が出力するアドレス信号ADDに基づいて生成する。本実施の形態では、アドレス信号ADDは16ビットのアドレス信号A0～A15からなり、第1～第4メモリ回路RAM0～RAM3は上位2ビットのアドレス信号A15、A14に基づいて何れか一つが選択されるように設定されている。従って、アドレスデコーダ12は、上位2ビットのアドレス信号A15、A14をデコードして第1～第4選択信号SEL0～SEL3を生成する。尚、アドレス信号ADDのビット数は適宜変更されても良い。

【0026】

例えば、CPU11が第1メモリ回路RAM0をアクセスする場合に、アドレスデコーダ12は、CPU11が出力するアドレス信号ADDの上位2ビットで

あるアドレス信号A15, A14をデコードし、第1メモリ回路RAM0に対応する第1選択信号SEL0をアクティブにする（例えばHレベルにて出力する）。第1メモリ回路RAM0は、アクティブな第1選択信号SEL0に基づいて、CPU11のアクセスに対して応答する。

## 【0027】

テストモードにおいて、アドレスデコーダ12は、CPU11が第1～第4メモリ回路RAM0～RAM3のうちの何れか一つをアクセスする場合、全てのメモリ回路RAM0～RAM3を同時に選択するように第1～第4選択信号SEL0～SEL3を生成する。

## 【0028】

本実施の形態では、CPU11が実行する各メモリ回路RAM0～RAM3を試験するプログラムデータ（図示しないROMや不揮発性RAM等に予め記憶されている）には、そのメモリ試験において第4メモリ回路RAM3をアクセスするように設定されている。従って、アドレスデコーダ12は、テストモード時に第4メモリ回路RAM4に対応する第4選択信号SEL3をアクティブにする場合、他の第1～第3メモリ回路RAM0～RAM2を選択する第1～第3選択信号SEL0～SEL2を同時にアクティブにする。一方、テストモード時にCPU11が第1～第3メモリ回路RAM0～RAM2の何れか一つをアクセスする場合、アドレスデコーダ12はそのアクセス対象となるメモリ回路に対応した選択信号SEL0～SEL2のみをアクティブにする。

## 【0029】

第1メモリ回路RAM0は、アクティブな第1選択信号SEL0に応答し、コントロールバス17を介して入力される制御信号に基づいて書き込み動作（ライト動作）又は読み出し動作（リード動作）を行う。そのライト動作において、第1メモリ回路RAM0は、ライトデータバスを介して入力されるライトデータを、アドレスバス16を介して入力されるアドレス信号ADDにて選択される領域（1又は複数のメモリセル）に記憶する。また、リード動作において、第1メモリ回路RAM0は、アドレス信号ADDにて選択される領域から読み出したリードデータを出力する。

## 【0030】

同様に、第2～第4メモリ回路RAM1～RAM3は、アクティブな第2～第4選択信号SEL1～SEL3にそれぞれ応答し、制御信号に基づいて入力されるライトデータを記憶するライト動作、又は読み出したリードデータを出力するリード動作を行う。

## 【0031】

第1～第4選択信号SEL0～SEL3は、通常モード時にCPU11がアクセスするメモリ回路に対応してアドレス信号ADDに応答するアドレスデコーダ12により、アドレス信号ADDに対応する1つの選択信号がアクティブになる。従って、第1～第4メモリ回路RAM0～RAM3は、何れか1つがCPU11により選択され、リード動作又はライト動作を行う。

## 【0032】

一方、第1～第4選択信号SEL0～SEL3は、テストモード時にCPU11が所定のメモリ回路（第4メモリ回路RAM3）をアクセスする場合に、全てアクティブにされる。従って、第1～第4メモリ回路RAM0～RAM3は、同時にリード動作又はライト動作を行う。即ち、テストモード時において、CPU11は、第4メモリ回路RAM3を選択することで、全てのメモリ回路RAM0～RAM3を同時にアクセスする。このため、リード動作及びライト動作にかかる時間が、各メモリ回路RAM0～RAM3を順次選択する場合に比べて約1/4に短縮される。

## 【0033】

各メモリ回路RAM0～RAM3から出力されるリードデータRD0～RD3は、マルチプレクサ13とコンパレータ14に入力される。

マルチプレクサ13には、テストモード信号TESTと第1～第4選択信号SEL0～SEL3が入力される。マルチプレクサ13は、テストモード信号TEST及び第1～第4選択信号SEL0～SEL3に基づいて、各メモリ回路RAM0～RAM3から入力されるリードデータRD0～RD3のうちの1つをリードデータバス18を介してCPU11に出力する。

## 【0034】

詳述すると、マルチプレクサ 1 3 は、テストモード信号 T E S T に基づいてその時のモードが通常モードの場合、第 1 ～第 4 選択信号 S E L 0 ～ S E L 3 のうちのアクティブな選択信号に対応する第 1 ～第 4 リードデータ R D 0 ～ R D 3 を出力する。例えば、第 1 選択信号 S E L 0 がアクティブな場合、マルチプレクサ 1 3 はその選択信号 S E L 0 に対応する第 1 リードデータ R D 0 を出力する。その第 1 選択信号 S E L 0 は、C P U 1 1 が第 1 メモリ回路 R A M 0 をアクセスする時にアクティブになる。従って、C P U 1 1 は、アクセスした第 1 メモリ回路 R A M 0 にライトデータを書き込む、又はアクセスにより第 1 メモリ回路 R A M 0 からリードデータ R D 0 を読み出すことができる。

## 【 0 0 3 5 】

その時のモードがテストモードの場合、マルチプレクサ 1 3 は、テストモード信号 T E S T に基づいて第 1 ～第 4 リードデータ R D 0 ～ R D 3 のうちの所定のリードデータを出力する。尚、本実施の形態では、マルチプレクサ 1 3 は、そのテストモード時にライトデータの書き込みのために C P U 1 1 がアクセスする第 4 メモリ回路 R A M 3 からの第 4 リードデータ R D 3 を出力するように設定されている。

## 【 0 0 3 6 】

C P U 1 1 は、テストモード時に、第 4 リードデータ R D 3 を入力し、それと先に第 4 メモリ回路 R A M 3 に書き込んだライトデータとを比較する。これにより、C P U 1 1 は、メモリ回路 R A M 3 に書き込んだライトデータが正しくリードされるか否かを確認する。そして、C P U 1 1 は、その確認結果を示す確認信号 K 1 を入出力回路 1 5 を介して半導体装置 1 0 の外部へ出力する。

## 【 0 0 3 7 】

コンパレータ 1 4 は、第 1 ～第 4 リードデータ R D 0 ～ R D 3 を入力し、それらを比較する。そして、コンパレータ 1 4 は、全てのリードデータ R D 0 ～ R D 3 が一致しているか否かを示す判定信号 K 2 を半導体装置 1 0 の外部に出力する。

## 【 0 0 3 8 】

半導体装置 1 0 は、図示しないテスト装置に接続される。テスト装置は、上記

テストモード信号TESTを半導体装置10に供給する。そして、テスト装置は、上記確認信号K1及び判定信号K2を入力し、該半導体装置10の第1～第4メモリ回路RAM0～RAM3が正常か否かを判断する。詳述すると、確認信号K1は、第4メモリ回路RAM3に対するライトデータとリードデータRD3が一致しているか否かを示す。判定信号K2は、第1～第4リードデータRD0～RD3が一致しているか否かを示す。そして、第1～第3メモリ回路RAM0～RAM2は第4メモリ回路RAM3と同時に選択され、その第4メモリ回路RAM3に書き込むライトデータを記憶する。従って、確認信号K1及び判定信号K2により、第1～第4メモリ回路RAM0～RAM3から読み出された第1～第4リードデータRD0～RD3の全てがライトデータと一致するか否かを判断することができる。

## 【0039】

そして、第1～第4メモリ回路RAM0～RAM3に対して同時にリード動作／ライト動作を行うため、各メモリ回路RAM0～RAM3を個別に選択する場合に比べてそのリード・ライトに要する時間が短い。また、確認信号K1及び判定信号K2を外部に出力するだけで半導体装置10に搭載された第1～第4メモリ回路RAM0～RAM3の良否判定を行うことができるため、外部端子の数が少なくて済む。

## 【0040】

また、CPU11によりライトデータとリードデータRD3とを比較することで、第1～第4メモリ回路RAM0～RAM3からのリードデータRD0～RD3が全て同じ値に間違っていた場合でも、テスト装置は、これを確実に検出し、誤判定しない。

## 【0041】

次に、アドレスデコーダ12、マルチプレクサ13、コンパレータ14の構成を説明する。

図2は、アドレスデコーダ12の一例を示す回路図であり、図3はその動作説明図である。

## 【0042】

アドレスデコーダ12は、アンド回路21～27、インバータ回路28、29、オア回路30～32から構成されている。

アドレスデコーダ12には、上位アドレスデコード信号ADS、上位2ビットのアドレス信号A15、A14、テストモード信号TESTが入力される。

#### 【0043】

上位2ビットのアドレス信号A15、A14はインバータ回路28、29にそれぞれ入力される。インバータ回路28は最上位のアドレス信号A15を論理反転した反転アドレス信号A15Xを出力する。インバータ回路29は上位2ビット目のアドレス信号A14を論理反転した反転アドレス信号A14Xを出力する。

#### 【0044】

第1～第4アンド回路21～24は3入力素子であり、1つの入力端子に上位アドレスデコード信号ADSが入力される。

第1アンド回路21にはアドレス信号A15、A14が入力され、アンド回路21は第4選択信号SEL3を出力する。この第4選択信号SEL3は第5～第7アンド回路25～27に入力される。各アンド回路25～27にはテストモード信号TESTが入力される。従って、各アンド回路25～27は、第4選択信号SEL3とテストモード信号TESTを論理積演算した信号をそれぞれ出力する。

#### 【0045】

第2アンド回路22にはアドレス信号A15と反転アドレス信号A14Xが入力され、各信号ADS、A15、A14Xを論理積演算した信号をオア回路30に出力する。そのオア回路30には、第5アンド回路25の出力信号が入力される。オア回路30は、両信号を論理和演算して第3選択信号SEL2を出力する。

#### 【0046】

第3アンド回路23には反転アドレス信号A15Xとアドレス信号A14が入力され、各信号ADS、A15X、A14を論理積演算した信号をオア回路31に出力する。そのオア回路31には、第6アンド回路26の出力信号が入力され

る。オア回路 3 1 は、両信号を論理和演算して第 2 選択信号 S E L 1 を出力する。

#### 【 0 0 4 7 】

第 4 アンド回路 2 4 には反転アドレス信号 A 1 5 X と反転アドレス信号 A 1 4 X が入力され、各信号 A D S, A 1 5 X, A 1 4 X を論理積演算した信号をオア回路 3 2 に出力する。そのオア回路 3 2 には、第 7 アンド回路 2 7 の出力信号が入力される。オア回路 3 2 は、両信号を論理和演算して第 1 選択信号 S E L 0 を出力する。

#### 【 0 0 4 8 】

従って、アドレスデコーダ 1 2 は、図 3 に示すように、通常モード時（テストモード信号 T E S T = 0）に、H レベル（= 1）の上位アドレスデコード信号 A D S に応答して上位 2 ビットのアドレス信号 A 1 5, A 1 4 をデコードした論理を持つ第 1 ～第 4 選択信号 S E L 0 ～ S E L 3 を出力する。そして、アドレスデコーダ 1 2 は、テストモード時（テストモード信号 T E S T = 1）に、C P U 1 1 が R A M 3 をアクセスした場合（上位アドレスデコード信号 A D S が H レベル）に第 1 ～第 4 選択信号 S E L 0 ～ S E L 3 を H レベル（= 1）にて出力する。

#### 【 0 0 4 9 】

尚、アドレスデコーダ 1 2 は、モードに関わらず、L レベル（= 0）の上位アドレスデコード信号に応答して L レベルの第 1 ～第 4 選択信号 S E L 0 ～ S E L 3 を出力する。

#### 【 0 0 5 0 】

尚、上記のアドレスデコーダ 1 2 を、C P U 1 1 が R A M 0 ～ R A M 3 のうちの何れか一つを選択した場合に全ての選択信号 S E L 0 ～ S E L 3 を H レベルにて出力する構成としても良い。

#### 【 0 0 5 1 】

図 4 はマルチプレクサ 1 3 の一例を示す回路図である。

マルチプレクサ 1 3 は、各メモリ回路 R A M 0 ～ R A M 3 が出力するリードデータ R D 0 ～ R D 3 のビット数に対応する複数（本実施の形態ではデータが 3 2 ビットであるため 3 2 個）の選択回路 S E 0 0 ～ S E 3 1 と、オア回路 4 1、アンド



回路 4 2 ～ 4 4 から構成されている。尚、各リードデータ RD 0 ～ RD 3 の各ビットを、そのビット番号を付して表記する。例えば、第 1 リードデータ RD 0 の最下位ビット（0 ビット目）を RD 0 <0> と表し、最上位ビット（3 1 ビット目）を RD 0 <31> と表す。

## 【 0 0 5 2 】

オア回路 4 1 は第 4 選択信号 SEL 3 とテストモード信号 TEST が入力される。従って、オア回路 4 1 は、通常モード時（テストモード信号 TEST が L レベル）の時に第 4 選択信号 SEL 3 と等しい論理を持つ信号 S 3 を出力する。そして、オア回路 4 1 は、テストモード時（テストモード信号 TEST が H レベル）の時に H レベルの信号 S 3 を出力する。

## 【 0 0 5 3 】

各アンド回路 4 2 ～ 4 4 は、テストモード信号 TEST を反転入力するとともに、第 3 ～ 第 1 選択信号 SEL 2 ～ SEL 0 がそれぞれ入力され、従って、各アンド回路 4 2 ～ 4 4 は、通常モード時に第 3 ～ 第 1 選択信号 SEL 2 ～ SEL 0 と等しい論理を持つ信号 S 2 ～ S 0 を出力し、テストモード時に L レベルの信号 S 2 ～ S 0 を出力する。

## 【 0 0 5 4 】

各信号 S 3 ～ S 0 は、全ての選択回路 SE 00 ～ SE 31 に入力される。

第 1 選択回路 SE 00 は、アンド回路 4 5 ～ 4 8、オア回路 4 9 から構成される。第 4 アンド回路 4 5 は、オア回路 4 1 からの信号 S 3 と第 4 リードデータ RD 3 の最下位ビット RD 3 <0> が入力される。従って、第 4 アンド回路 4 5 は、通常モード時には H レベルの信号 S 3（第 4 選択信号 SEL 3）に応答してリードデータ RD 3 <0> を出力し、テストモード時には常にリードデータ RD 3 <0> を出力する。

## 【 0 0 5 5 】

第 3 アンド回路 4 6 は、アンド回路 4 2 の出力信号 S 2 と第 3 リードデータ RD 2 <0> が入力される。従って、第 3 アンド回路 4 6 は、通常モード時には H レベルの信号 S 2（第 3 選択信号 SEL 2）に応答してリードデータ RD 2 <0> を出力し、テストモード時には常に L レベルの信号を出力する。

## 【 0 0 5 6 】

第 2 アンド回路 4 7 は、アンド回路 4 3 の出力信号 S 1 と第 2 リードデータ R D 1 < 0 > が入力される。従って、第 2 アンド回路 4 7 は、通常モード時には H レベルの信号 S 1（第 2 選択信号 S E L 1）に応答してリードデータ R D 1 < 0 > を出力し、テストモード時には常に L レベルの信号を出力する。

## 【 0 0 5 7 】

第 1 アンド回路 4 8 は、アンド回路 4 4 の出力信号 S 0 と第 1 リードデータ R D 0 < 0 > が入力される。従って、第 1 アンド回路 4 8 は、通常モード時には H レベルの信号 S 0（第 1 選択信号 S E L 0）に応答してリードデータ R D 0 < 0 > を出力し、テストモード時には常に L レベルの信号を出力する。

## 【 0 0 5 8 】

オア回路 4 9 は、第 1 ～第 4 アンド回路 4 5 ～4 8 の出力信号を論理和演算して信号 D A T A 0 を出力する。従って、第 1 選択回路 S E 0 0 は、通常モード時には、第 1 ～第 4 選択信号 S E L 0 ～S E L 3 に対応する第 1 ～第 4 リードデータ R D 0 < 0 > ～R D 3 < 0 > を出力し、テストモード時には第 4 リードデータ R D 3 < 0 > を出力する。

## 【 0 0 5 9 】

第 2 ～第 3 2 選択回路 S E 0 1 ～S E 3 1 は、第 1 選択回路 S E 0 0 と同様に構成されている。従って、マルチプレクサ 1 3 は、通常モード時には第 1 ～第 4 選択信号 S E L 0 ～S E L 3 に対応する第 1 ～第 4 リードデータ R D 0 ～R D 3 の各ビットレベルを持つ信号 D A T A 0 ～D A T A 3 1 を出力し、テストモード時には第 4 リードデータ R D 3 の各ビットレベルを持つ信号 D A T A 0 ～D A T A 3 1 を出力する。

## 【 0 0 6 0 】

図 5 はコンパレータ 1 4 の一例を示す回路図である。

コンパレータ 1 4 は、各メモリ回路 R A M 0 ～R A M 3 が出力するリードデータ R D 0 ～R D 3 のビット数に対応する複数（本実施の形態ではデータが 3 2 ビットであるため 3 2 個）の初段の比較回路 C M 0 0 ～C M 3 1 と、各初段の比較回路 C M 0 0 ～C M 3 1 の出力信号を受ける後段の比較回路 C M A とから構成されている

## 【 0 0 6 1 】

各初段の比較回路CM00～CM31は、第1～第4リードデータRD0～RD3の対応するビットをそれぞれ入力する。例えば、第1比較回路CM00は、0ビット目のリードデータRD3<0>，RD2<0>，RD1<0>，RD0<0>を入力し、第32比較回路CM31は、31ビット目のリードデータRD3<31>～RD0<31>を入力する。そして、各初段の比較回路CM00～CM31は、リードデータRD3<0>～RD0<0>，～，RD3<31>～RD0<31>を比較し、それらが一致しているか否かを示す信号をそれぞれ出力する。後段の比較回路CMAは、各初段の比較回路CM00～CM31の出力信号を比較し、それらが一致しているか否かを示す信号K2を出力する。

## 【 0 0 6 2 】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) アドレスデコーダ12はテストモード時にCPU11が1つのメモリ回路をアクセスするためのアドレス信号ADDに基づいて第1～第4メモリ回路RAM0～RAM3を同時に選択するように複数の選択信号SEL0～SEL3を生成する。マルチプレクサ13は、CPU11がアクセスする1つのメモリ回路からのリードデータを該CPU11に出力する。CPU11は、ライトデータとリードデータとが一致するか否かを確認して確認信号K1を出力する。コンパレータ14は、第1～第4メモリ回路RAM0～RAM3からそれぞれ読み出されたリードデータRD0～RD3を比較し、判定信号K2を出力するようにした。その結果、ライトデータとリードデータとの比較結果と、リードデータRD0～RD3の互いの比較結果により、判定誤りを少なくすることができる。更に、第1～第4メモリ回路RAM0～RAM3を同時に選択してアクセスすることでメモリ回路に対するアクセス時間が少なくなり、試験時間を短縮することができる。

## 【 0 0 6 3 】

尚、前記実施の形態は、以下の態様に変更してもよい。

・上記実施の形態において、図6に示す別のアドレスデコーダ12aを用いて

実施してもよい。図 7 はその動作説明図である。

【 0 0 6 4 】

アドレスデコーダ 1 2 a は、インバータ回路 5 1, 5 2、アンド回路 5 3 ~ 5 7、オア回路 5 8 ~ 6 1 から構成されている。

アドレスデコーダ 1 2 a には、上位アドレスデコード信号 A D S、上位 2 ビットのアドレス信号 A 1 5, A 1 4、テストモード信号 T E S T が入力される。

【 0 0 6 5 】

上位 2 ビットのアドレス信号 A 1 5, A 1 4 はインバータ回路 5 1, 5 2 にそれぞれ入力される。インバータ回路 5 1 は最上位のアドレス信号 A 1 5 を論理反転した反転アドレス信号 A 1 5 X を出力する。インバータ回路 5 2 は上位 2 ビット目のアドレス信号 A 1 4 を論理反転した反転アドレス信号 A 1 4 X を出力する。

【 0 0 6 6 】

第 1 アンド回路 5 3 は 2 入力素子であり、第 2 ~ 第 5 アンド回路 5 4 ~ 5 7 は 3 入力素子である。

第 1 アンド回路 5 3 は入力される上位アドレスデコード信号 A D S とテストモード信号 T E S T を論理積演算し、その演算結果を持つ信号 S 1 1 をオア回路 5 8 ~ 6 1 に出力する。従って、第 1 アンド回路 5 3 は、通常モード時に L レベルの信号 S 1 1 を出力し、テストモード時には H レベルの信号 S 1 1 を出力する。

【 0 0 6 7 】

上位アドレスでコード信号 A D S は第 2 ~ 第 5 アンド回路 5 4 ~ 5 7 に入力される。

第 2 アンド回路 5 4 にはアドレス信号 A 1 5, A 1 4 が入力され、各信号 A D S, A 1 5, A 1 4 を論理積演算して信号 S 1 2 を第 1 オア回路 5 8 に出力する。そのオア回路 5 8 には信号 S 1 1 が入力される。第 1 オア回路 5 8 は、信号 S 1 1, S 1 2 を論理和演算して第 4 選択信号 S E L 3 を出力する。

【 0 0 6 8 】

第 3 アンド回路 5 5 にはアドレス信号 A 1 5 と反転アドレス信号 A 1 4 X が入力され、各信号 A D S, A 1 5, A 1 4 X を論理積演算して信号 S 1 3 を第 2 オ

ア回路59に出力する。そのオア回路59には、信号S11が入力される。第2オア回路59は、信号S11、S13を論理和演算して第3選択信号SEL2を出力する。

## 【0069】

第4アンド回路56には反転アドレス信号A15Xとアドレス信号A14が入力され、各信号ADS、A15X、A14を論理積演算して信号S14を第3オア回路60に出力する。そのオア回路60には、信号S11が入力される。第3オア回路60は、信号S11、S14を論理和演算して第2選択信号SEL1を出力する。

## 【0070】

第5アンド回路57には反転アドレス信号A15Xと反転アドレス信号A14Xが入力され、各信号ADS、A15X、A14Xを論理積演算して信号S15を第4オア回路61に出力する。そのオア回路61には、信号S11が入力される。第4オア回路61は、信号S11、S15を論理和演算して第1選択信号SEL0を出力する。

## 【0071】

従って、アドレスデコーダ12aは、図7に示すように、通常モード時（テストモード信号TEST=0）に、Hレベル（=1）の上位アドレスデコード信号ADSに応答して上位2ビットのアドレス信号A15、A14をデコードした論理を持つ第1～第4選択信号SEL0～SEL3を出力する。そして、アドレスデコーダ12aは、テストモード時（テストモード信号TEST=1）に、Hレベルの上位アドレスデコード信号ADSに応答してHレベルの第1～第4選択信号SEL0～SEL3を出力する。尚、このアドレスデコーダ12aは、モードに関わらず、Lレベル（=0）の上位アドレスデコード信号ADSに応答してLレベルの第1～第4選択信号SEL0～SEL3を出力する。

## 【0072】

・上記実施の形態において、図8に示す別のアドレスデコーダ12bを用いて実施してもよい。図9はその動作説明図である。

このアドレスデコーダ12bは、図6にて説明したアドレスデコーダ12aの

構成に、マルチプレクサのための選択信号出力を追加した回路である。即ち、第 2～第 5 アンド回路 5 4～5 7 の出力信号を、マルチプレクサ選択信号 MUX S 3～MUX S 0 として出力する。これらマルチプレクサ選択信号 MUX S 3～MUX S 0 は、CPU 1 1 がアクセスするメモリ回路 RAM 3～RAM 0 に対応する信号がアクティブ（例えば H レベル）になる。

## 【 0 0 7 3 】

これらマルチプレクサ選択信号 MUX S 3～MUX S 0 は、図 1 0 に示すマルチプレクサ 1 3 a に入力される。

このマルチプレクサ 1 3 a は、各メモリ回路 RAM 0～RAM 3 が出力するリードデータ RD 0～RD 3 のビット数に対応する複数（本実施の形態ではデータが 3 2 ビットであるため 3 2 個）の選択回路 SE 00～SE 31 から構成されている。尚、各リードデータ RD 0～RD 3 の各ビットを、そのビット番号を付して表記する。例えば、第 1 リードデータ RD 0 の最下位ビット（0 ビット目）を RD 0<0> と表し、最上位ビット（3 1 ビット目）を RD 0<31> と表す。

## 【 0 0 7 4 】

第 1～第 3 2 選択回路 SE 00～SE 31 の構成及び動作は、図 4 にて説明したマルチプレクサ 1 3 のそれらと同じである。

従って、マルチプレクサ 1 3 a は、アクティブなマルチプレクサ選択信号にตอบสนองしてリードデータと同じレベルを持つ信号を出力し、非アクティブなマルチプレクサ選択信号にตอบสนองして L レベルの信号を出力する。

## 【 0 0 7 5 】

例えば、図 1 の CPU 1 1 が第 2 メモリ回路 RAM 1 をアクセスする場合、第 2 マルチプレクサ選択信号 MUX S 1 がアクティブになる。従って、マルチプレクサ 1 3 a は、そのアクティブな第 2 マルチプレクサ選択信号 MUX S 1 に対応する第 2 リードデータ RD 1<31>～RD 1<0> と同じレベルを持つ信号 DATA 0～DATA 3 1 を出力する。即ち、マルチプレクサ 1 3 a は、CPU 1 1 がアクセスするメモリ回路から出力されるリードデータを CPU 1 1 に出力する。

## 【 0 0 7 6 】

このように構成されたアドレスデコーダ 1 2 b 及びマルチプレクサ 1 3 a を含

む半導体装置において、メモリ試験時にCPUは、選択したメモリ回路のリードデータをライトデータと比較し、それらが一致するか否かを判断してその判断結果を外部に出力する。このように構成しても、上記実施の形態と同じ効果が得られる。

#### 【0077】

・半導体装置を図11に示すように構成してもよい。この半導体装置70は、CPU71、複数（図1において4個）のメモリ回路RAM0～RAM3、アドレスデコーダ12、マルチプレクサ13、コンパレータ72、入出力回路15を含む。

#### 【0078】

コンパレータ72はレジスタを含み、上記実施の形態のコンパレータ72の機能に加えて、比較結果をレジスタに記憶する機能を持つ。CPU71は、コンパレータ72のレジスタに記憶された比較結果を読み出す。そして、CPU71は、その比較結果と、選択したメモリ回路のリードデータとライトデータとが一致するか否かを確認した確認結果とに基づいて、第1～第4メモリ回路RAM0～RAM3が正常か否かを示す信号を外部に入出力回路15を介して出力する。このように半導体装置70を構成すれば、テスト装置は半導体装置70から出力される試験結果を入力するだけでよく、その構成が簡略化される。また、半導体装置70の動作速度に関わりなく試験結果が得られる。

#### 【0079】

尚、上記のコンパレータ72は、CPU71に対して割り込みを発生させる機能を有していてもよい。即ち、コンパレータ72は、リードデータの不一致が発生した場合にCPU71に対して割り込みをアサートする。CPU71は、割り込みを受け付けると、第1～第4メモリ回路RAM0～RAM3が不良であることを示す信号を外部に出力する。このように構成すれば、第1～第4メモリ回路RAM0～RAM3からのリードデータの誤りを検出した時に割り込みが発生するため、メモリ試験を中断させることができる。従って、メモリ回路が不良な半導体装置に対する試験時間を短くし、ひいては多くの半導体装置に対するメモリ試験に要する時間を短縮することで、試験コストを低減することができる。

## 【 0 0 8 0 】

・半導体装置を図 1 2 に示すように構成してもよい。この半導体装置 8 0 は、CPU 1 1、複数（図 1 において 4 個）のメモリ回路 RAM 0 ～ RAM 3、アドレスデコーダ 1 2、マルチプレクサ 1 3、コンパレータ 8 1、入出力回路 1 5、PLL 回路 8 2 を含む。

## 【 0 0 8 1 】

PLL 回路 8 2 は、半導体装置 8 0 の動作のためのクロック信号 CLK を生成する。

図 1 3 に示すように、コンパレータ 8 1 は、ラッチ回路 8 3 を含み、そのラッチ回路 8 3 には最終段の比較回路 CMA の出力信号と、クロック信号 CLK とリード信号 RD と論理合成して生成した信号 S 2 1 が供給される。ラッチ回路は、信号 S 2 1 に基づいて、メモリ回路 RAM 0 ～ RAM 3 のリード毎に判定結果をラッチする。尚、ラッチデータのリセットは、メモリ試験の開始時に実施され、メモリ試験の途中では実施されないように設定されている。

## 【 0 0 8 2 】

例えば、コンパレータ 8 1 は、リセットにより L レベルの信号を出力し、第 1 ～第 4 メモリ回路 RAM 0 ～ RAM 3 からのリードデータが一致しない場合に H レベルの信号をラッチしそれを保持するように構成されている。そして、コンパレータ 8 1 の出力信号である判定信号 K 2 a は外部に出力され、半導体装置 8 0 の外部に接続された図示しないテスト装置は判定信号 K 2 a を入力し該半導体装置 8 0 の良否を判定する。この場合、判定信号 K 2 a はコンパレータ 8 1 によりラッチ保持されるため、半導体装置 8 0 の動作クロックより遅いクロックにて動作するテスト装置でも、確実に判定信号 K 2 a を受け取ることができる。これにより、半導体装置の動作速度が速くなっても、テスト装置を変更することなくその半導体装置に対するメモリ試験を実施することができ、試験コストの増加を低減することができる。また、テスト装置の動作速度に関わらず、半導体装置 8 0 を実際に使用する速度で動作させてメモリ試験を行うことができ、より正確にメモリ回路 RAM 0 ～ RAM 3 の良否を判定することができる。

## 【 0 0 8 3 】



ラッチ機能を有していないコンパレータの場合、半導体装置の動作クロックより遅いテスト装置では判定信号を受け取れない場合がある。例えば、半導体装置の動作クロックが400MHzでテスト装置の動作クロックが200MHzの場合、コンパレータは動作クロックのタイミングで第1～第4メモリ回路RAM0～RAM3からのリードデータを比較して比較信号を出力する。従って、一致しない旨を示す信号の次のタイミングで一致する旨を示す信号が出力されると、テスト装置がそれを受け取るタイミングによって一致しない旨を示す信号を受け取れないため、第1～第4メモリ回路RAM0～RAM3を不良と判断できなくなるからである。

## 【0084】

・図14に示すコンパレータ81aを用いて実施すること。このコンパレータ81aは、初段の比較回路CM00～CM31の入力側に、ラッチ機能を持たせるためのフリップフロップ(F.F)が挿入接続されている。各フリップフロップは、第1～第4メモリ回路RAM0～RAM3のリードタイミングに対応してクロック信号CLKとリード信号RDとの論理合成により生成された信号S21が供給され、第1～第4メモリ回路RAM0～RAM3からのリードデータをラッチする。この構成により、コンパレータ81は、次のリード動作が発生するまで比較結果を保持する。従って、第1～第4メモリ回路RAM0～RAM3からのリードデータが短い時間であっても、確実に比較を行うことができる。

## 【0085】

・図15に示すコンパレータ81bを用いて実施すること。このコンパレータ81bは、初段の比較回路CM00～CM31の入力側にフリップフロップ(F.F)が挿入接続され、次段の比較回路CMAの出力にラッチ回路83を備え、そのラッチ回路83にリセット信号RESETを供給する。このような構成にすれば、比較時間を確保することができるとともに、半導体装置の動作周波数にてメモリ回路RAM0～RAM3のリードデータの不一致を確実に検出することができる。

## 【0086】

・上記各実施の形態において、ライトデータバス17とリードデータバス18

を別々の構成としたが、ライトデータバスとリードデータバスとをトライステートの双方向バスにて構成してもよい。

【 0 0 8 7 】

【発明の効果】

以上詳述したように、本発明によれば、判定誤りが少なく、複数のメモリ回路に対する試験時間を短縮することのできる半導体装置、半導体装置の試験方法、及び半導体装置試験システムを提供することができる。

【図面の簡単な説明】

- 【図 1】 半導体装置のブロック回路図である。
- 【図 2】 アドレスデコーダの回路図である。
- 【図 3】 アドレスデコーダの動作説明図である。
- 【図 4】 マルチプレクサの回路図である。
- 【図 5】 コンパレータの回路図である。
- 【図 6】 別のアドレスデコーダの回路図である。
- 【図 7】 図 6 のアドレスデコーダの動作説明図である。
- 【図 8】 別のアドレスデコーダの回路図である。
- 【図 9】 図 8 のアドレスデコーダの動作説明図である。
- 【図 1 0】 別のマルチプレクサの回路図である。
- 【図 1 1】 別の半導体装置のブロック回路図である。
- 【図 1 2】 別の半導体装置のブロック回路図である。
- 【図 1 3】 別のコンパレータの回路図である。
- 【図 1 4】 別のコンパレータの回路図である。
- 【図 1 5】 別のコンパレータの回路図である。

【符号の説明】

- 1 1 CPU
- 1 2 アドレスデコーダ
- 1 3 マルチプレクサ
- 1 4 コンパレータ
- RAM 0 ～ RAM 3 メモリ回路

A D D   アドレス信号

K 1   確認信号

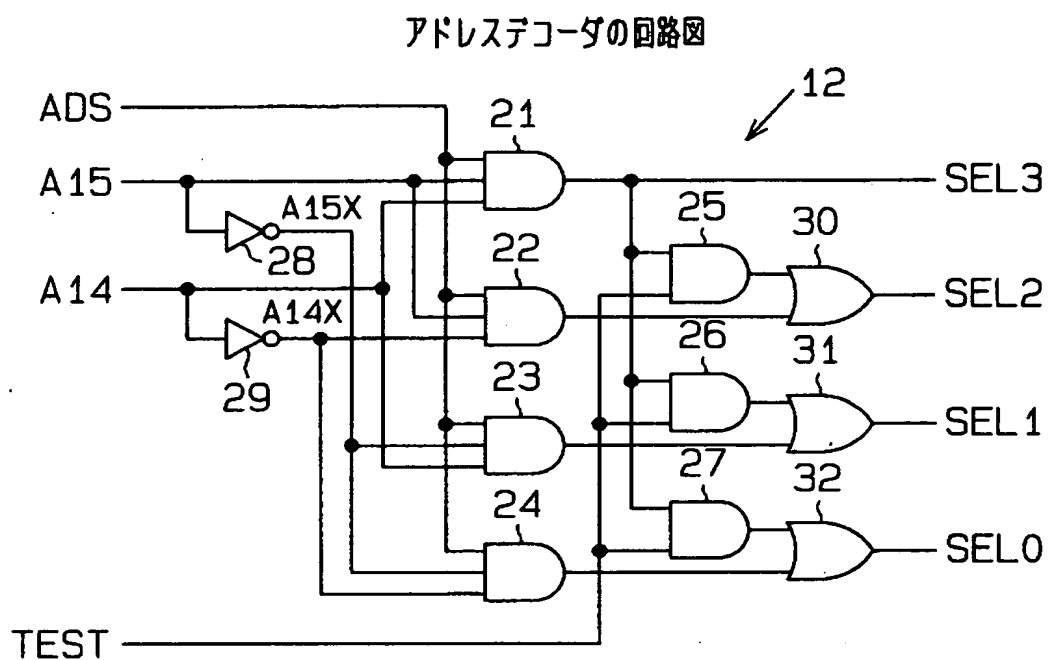
K 2   判定信号

R D 0 ～ R D 3   リードデータ

S E L 0 ～ S E L 3   選択信号



【図 2】

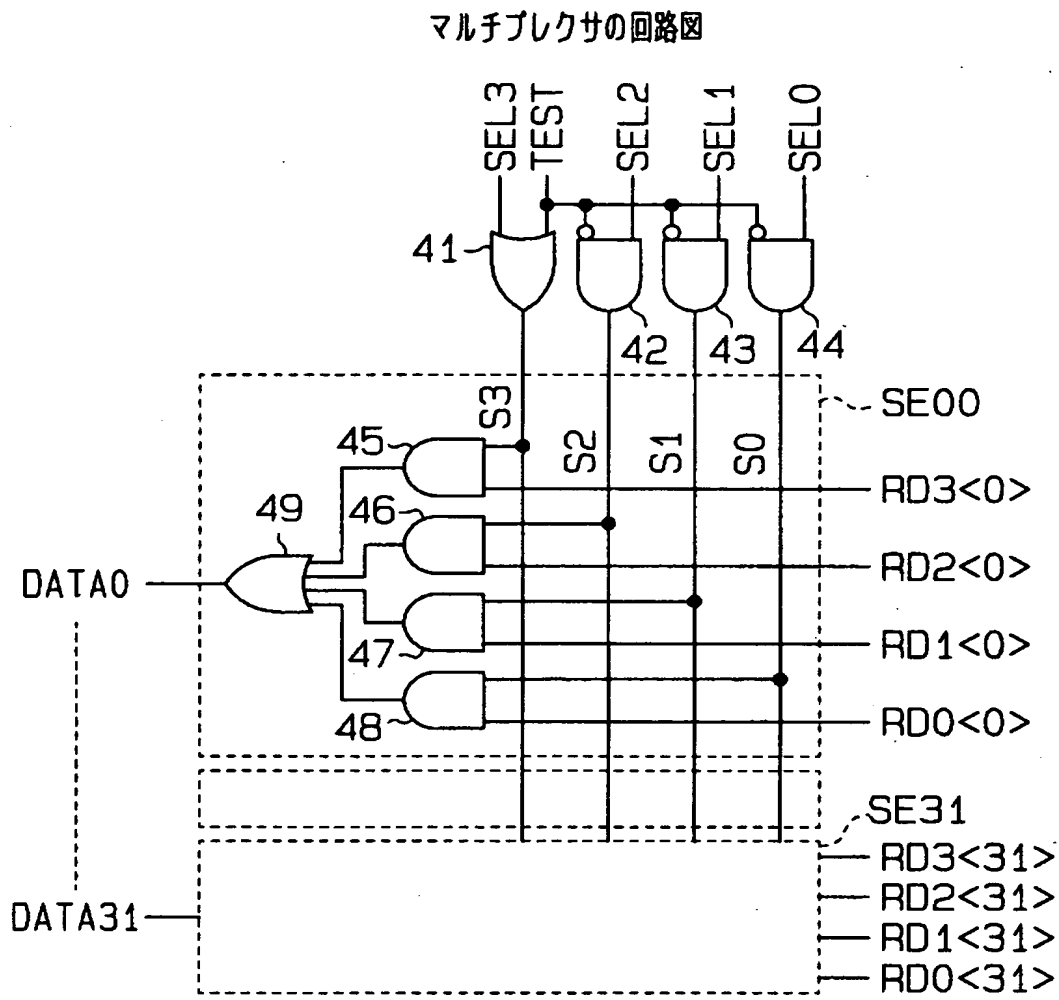


【図 3】

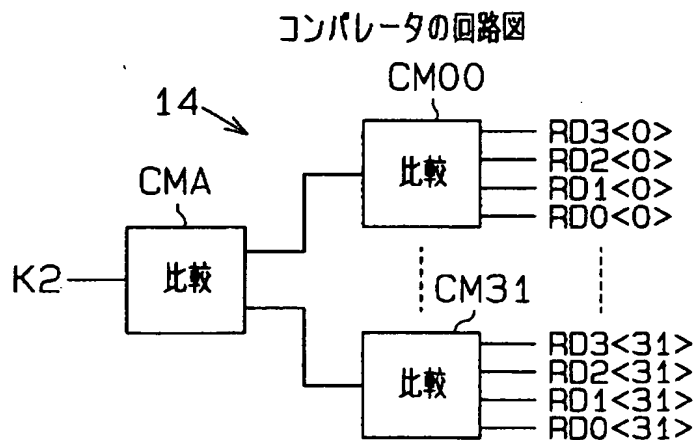
アドレスデコーダの動作説明図

上位アドレス デコード信号	A15	A14	TEST	SEL3	SEL2	SEL1	SEL0
1	0	0	0	0	0	0	1
1	0	1	0	0	0	1	0
1	1	0	0	0	1	0	0
1	1	1	0	1	0	0	0
1	0	0	1	0	0	0	1
1	0	1	1	0	0	1	0
1	1	0	1	0	1	0	0
1	1	1	1	1	1	1	1
0	X	X	X	0	0	0	0

【図 4】

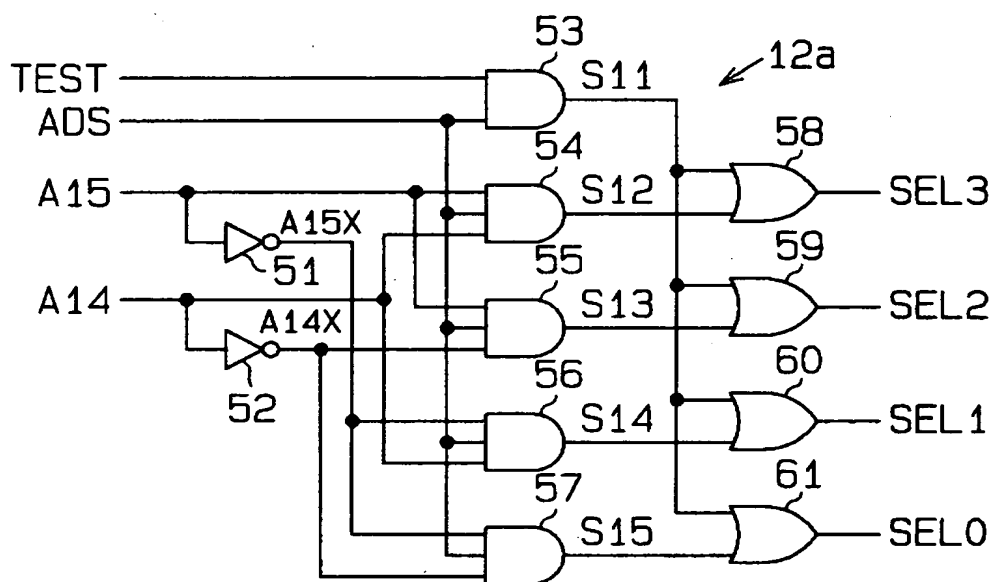


【図 5】



【図 6】

別のアドレスデコーダの回路図



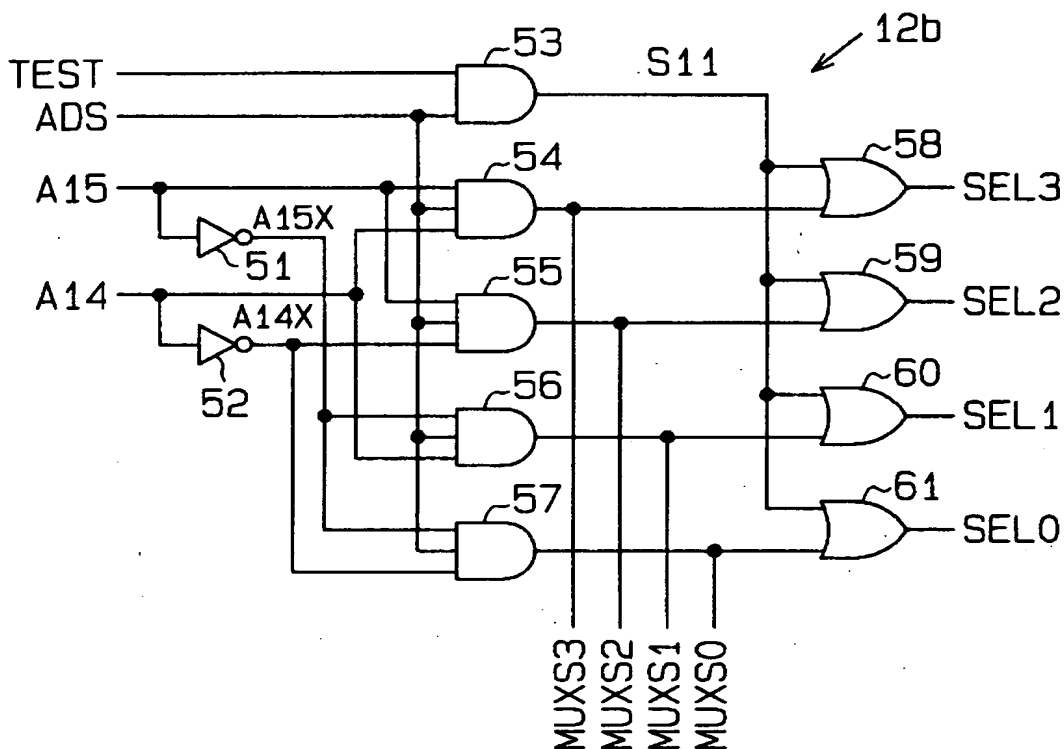
【図 7】

図6のアドレスデコーダの動作説明図

上位アドレス デコード信号	A15	A14	TEST	SEL3	SEL2	SEL1	SEL0
1	0	0	0	0	0	0	1
1	0	1	0	0	0	1	0
1	1	0	0	0	1	0	0
1	1	1	0	1	0	0	0
1	X	X	1	1	1	1	1
0	X	X	X	0	0	0	0

【図 8】

別のアドレスデコーダの回路図



【図 9】

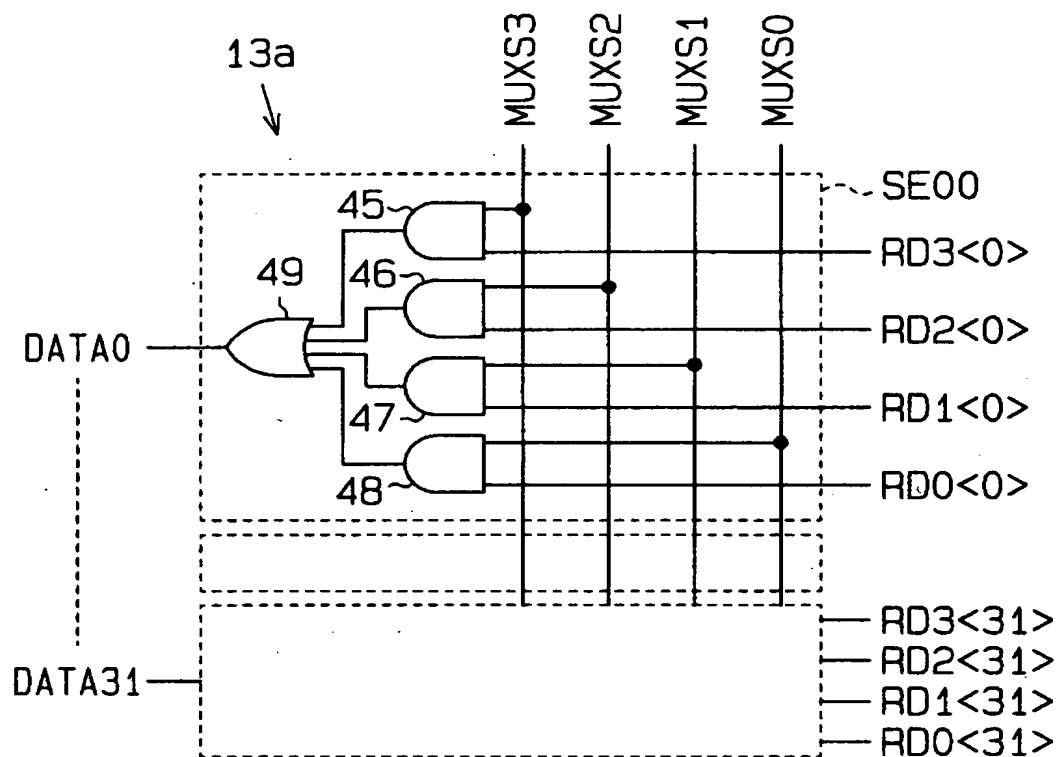
図8のアドレスデコーダの動作説明図

上位アドレス デコード信号	A15	A14	TEST	SEL3	SEL2	SEL1	SEL0
1	0	0	0	0	0	0	1
1	0	1	0	0	0	1	0
1	1	0	0	0	1	0	0
1	1	1	0	1	0	0	0
1	X	X	1	1	1	1	1
0	X	X	X	0	0	0	0



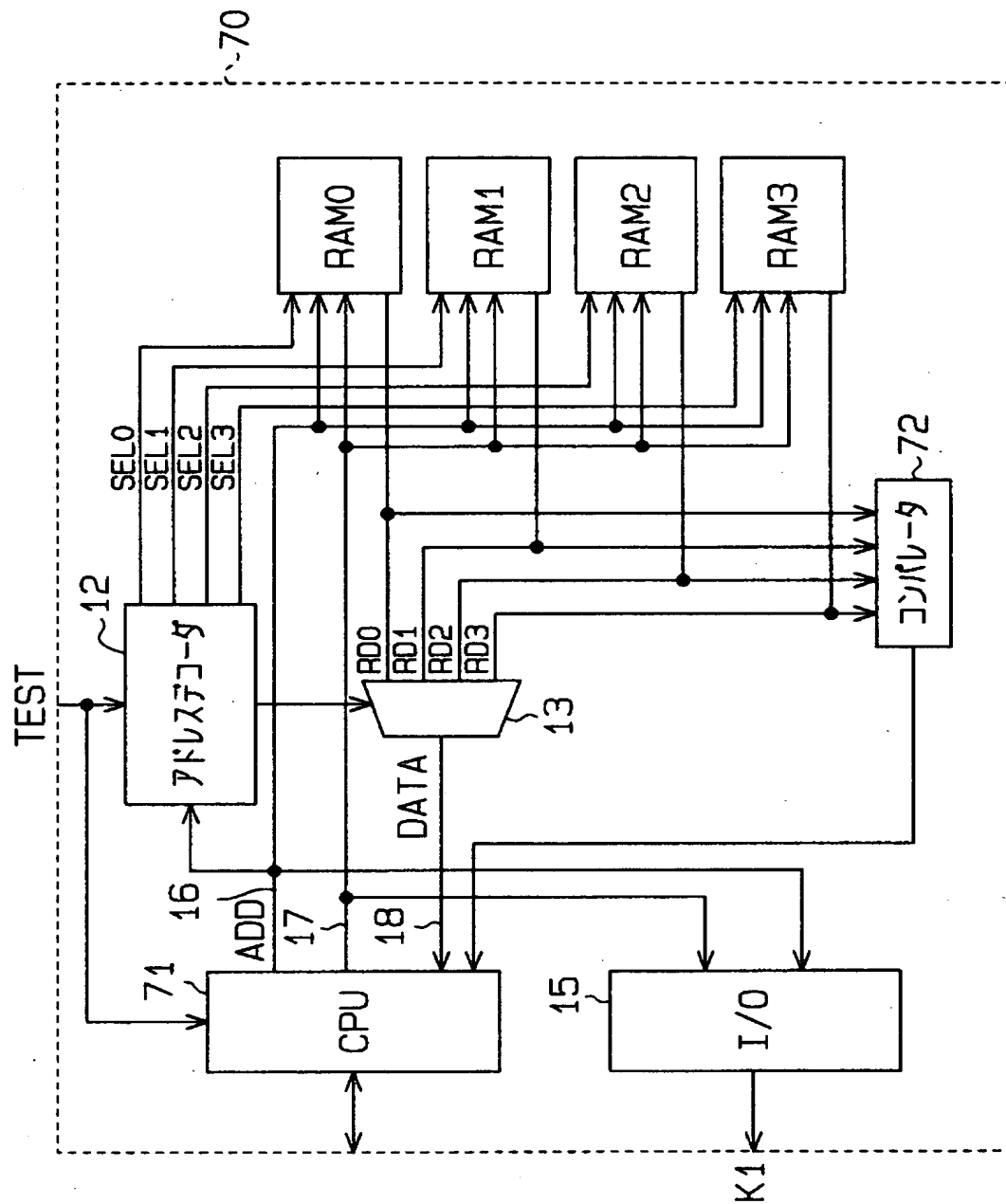
【図 1 0】

別のマルチプレクサの回路図



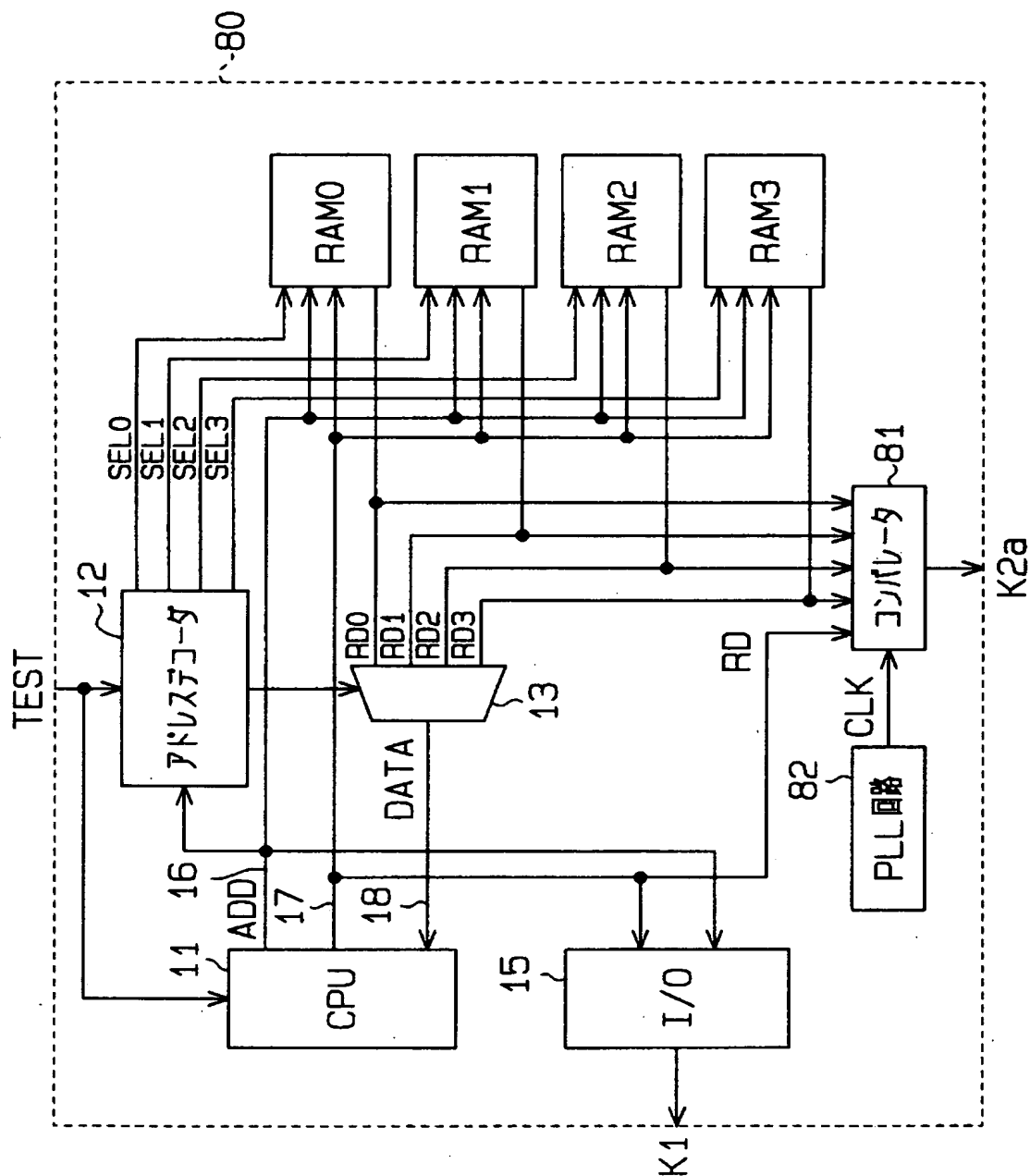
【図 11】

別の半導体装置のブロック回路図



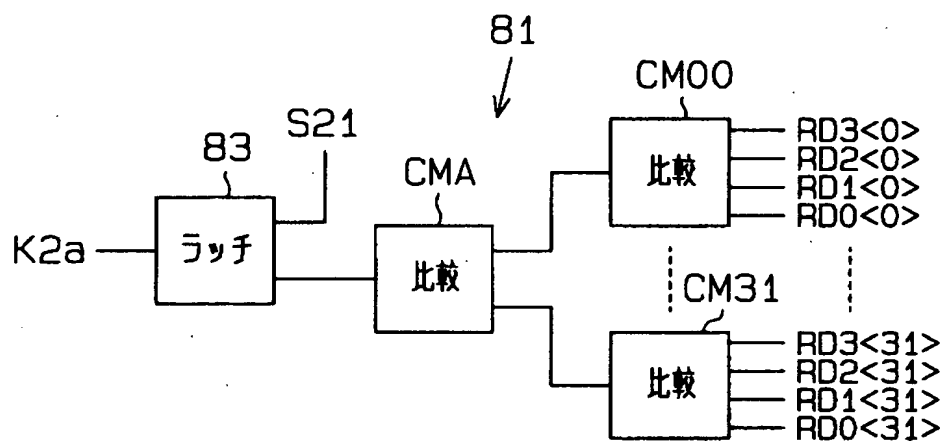
【図 12】

別の半導体装置のブロック回路図



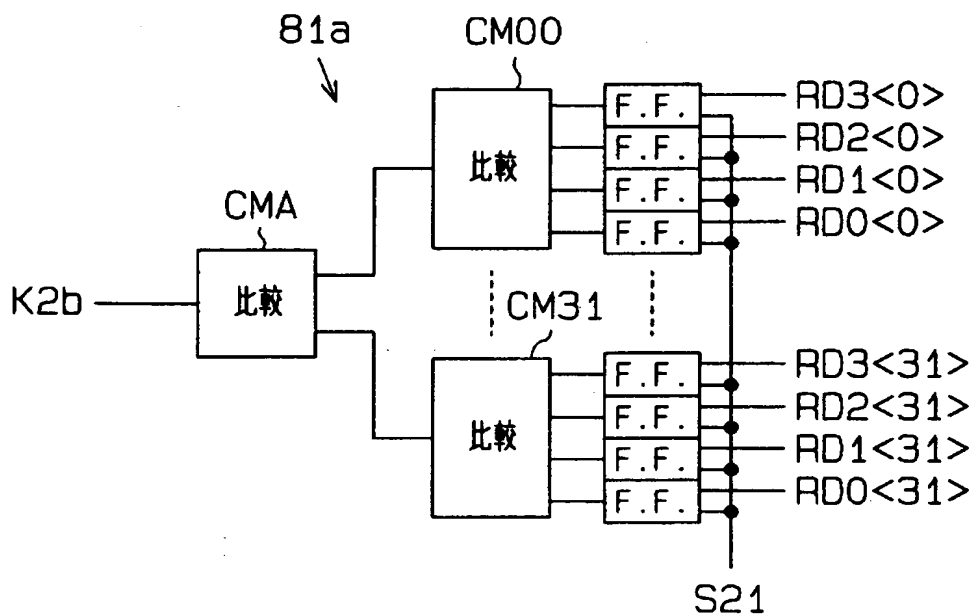
【図 13】

別のコンパレータの回路図



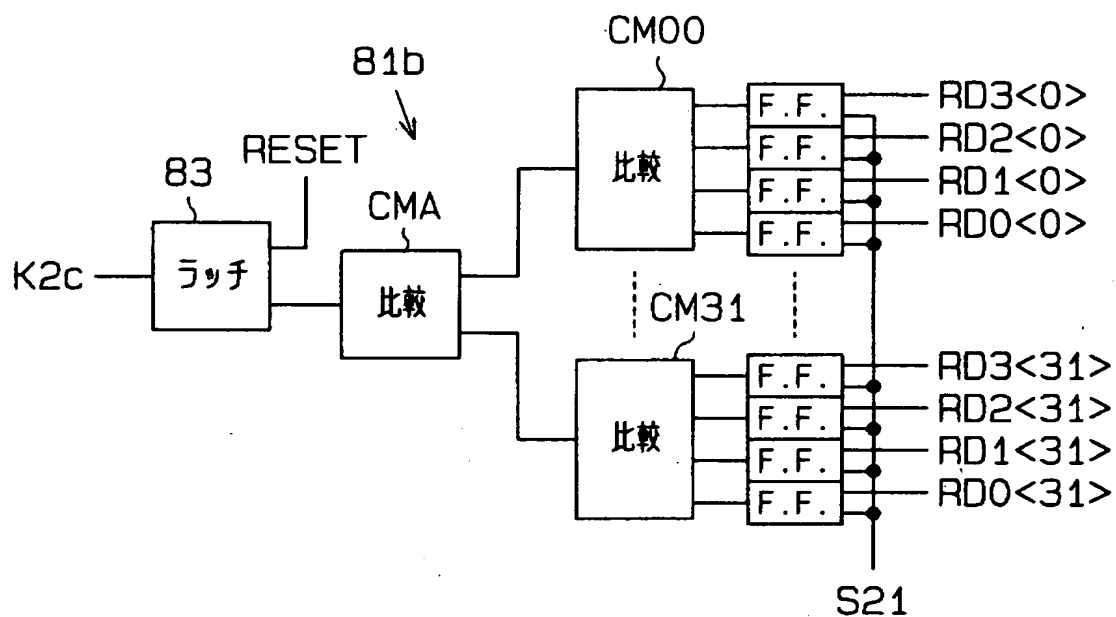
【図 14】

別のコンパレータの回路図



【図 1 5】

別のコンパレータの回路図



【書類名】 要約書

【要約】

【課題】 判定誤りが少なく、複数のメモリ回路に対する試験時間を短縮することのできる半導体装置を提供すること。

【解決手段】 アドレスデコーダ 1 2 はテストモード時に CPU 1 1 が 1 つのメモリ回路をアクセスするためのアドレス信号 ADD に基づいて第 1 ～第 4 メモリ回路 RAM 0 ～RAM 3 を同時に選択するように複数の選択信号 SEL 0 ～SEL 3 を生成する。マルチプレクサ 1 3 は、CPU 1 1 がアクセスする 1 つのメモリ回路からのリードデータを該 CPU 1 1 に出力する。CPU 1 1 は、ライトデータとリードデータとが一致するか否かを確認して確認信号 K 1 を出力する。コンパレータ 1 4 は、第 1 ～第 4 メモリ回路 RAM 0 ～RAM 3 からそれぞれ読み出されたリードデータ RD 0 ～RD 3 を比較し、判定信号 K 2 を出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日	1990年 9月 6日
[変更理由]	新規登録
住 所	愛知県春日井市高蔵寺町2丁目1844番2
氏 名	富士通ヴィエルエスアイ株式会社